

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-004608

(43)Date of publication of application : 09.01.1992

---

(51)Int.Cl.

H03K 17/687

H03K 17/56

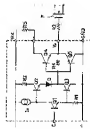
---

(21)Application number : 02-106239 (71)Applicant : SHARP CORP

(22)Date of filing : 20.04.1990 (72)Inventor : YOSHIDA AKIO

---

### (54) DRIVING CIRCUIT FOR VOLTAGE DRIVEN ELEMENT



#### (57)Abstract:

**PURPOSE:** To constitute the driving circuit of a monolithic IC by connecting both current pull-in switching elements charging an input capacitance and discharging the charged charge therein in series between power supplies, and supplying a current turning on both the drive switching elements alternatively to the elements.

**CONSTITUTION:** When an input transistor(TR) Q1 is interrupted, a constant current from a constant current circuit IB flows to a base of a TR Q2, which is energized and other output TR Q3 is interrupted. Thus, a base current flows to a

current supply TR Q4, which is turned on and a gate input capacitance of a MOS field effect TR F is momentarily charged from a DC power supply VCC. On the other hand, when the TR Q1 is energized, the operation is reverse to above, the charge stored in the gate input capacitance of the TR F is momentarily discharged and the TR F is interrupted. Thus, power loss at the output stage is decreased and heat dissipation is less attended therewith, then the IC is integrated into a miniature package.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A) 平4-4608

⑬ Int. Cl.<sup>9</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月9日

H 03 K 17/687  
17/56D 9194-5 J  
8221-5 J

H 03 K 17/687

A

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 電圧駆動型素子の駆動回路

⑯ 特 願 平2-106239

⑰ 出 願 平2(1990)4月20日

⑱ 発 明 者 吉 田 明 生 大阪府大阪市阿倍野区長地町22番22号 シャープ株式会社  
内

⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長地町22番22号

⑳ 代 理 人 弁理士 西 田 新

## 明 細 書

## 1. 発明の名称

電圧駆動型素子の駆動回路

## 2. 特許請求の範囲

① MOS型電界効果素子トランジスタやMOSゲートバイポーラトランジスタ等の電圧駆動型素子の駆動回路において、前記電圧駆動型素子のゲート等の入力容量を充電する電流供給用スイッチング素子およびその充電電流を放電させるための電流引き込み用スイッチング素子を電流間に直列接続し、この両スイッチング素子に列し並列に且つ電流間に直列接続した2種の駆動用スイッチング素子の接続点を、前記電流供給用スイッチング素子および電流引き込み用スイッチング素子の各々の制御端子に、これらを択一的にオンするよう接続し、この両駆動用スイッチング素子に列しこれらをオンさせる電流を択一的に供給する電流供給回路を備えたことを特徴とする電圧駆動型素子の駆動回路。

## 3. 発明の詳細な説明

## &lt;産業上の利用分野&gt;

本発明は、MOS型電界効果素子トランジスタやMOSゲートバイポーラトランジスタ等の電圧駆動型素子を駆動するための駆動回路に関するものである。

## &lt;従来の技術&gt;

斯かる従来の電圧駆動型素子の一般的な駆動回路を、MOS型電界効果素子トランジスタの場合を示した第2図に基づいて説明する。後述で図った部分が駆動回路であり、制御端子Cの制御信号により入力トランジスタQ1がシャ断状態になった場合、定電流回路I<sub>0</sub>の定電流が一方の出力トランジスタQ2のベースに流れ込んで駆動トランジスタQ2が導通状態となり、他方の出力トランジスタQ3がシャ断状態となる。従って、直流電源V<sub>cc</sub>から電流制限用抵抗R2、出力トランジスタQ2、ダイオードDおよび保護用抵抗R3を通じてMOS型電界効果素子トランジスタFのゲート入力容量が瞬時に充電され、このゲートに所定値以上の正電圧が印加された時に基<sup>5</sup>S型電界効果素子トランジスタFが導通状態となる。

持關平 1-4608 (2)

一方、入力トランジスタQ1の高速状態になった場合、電流源抵抗1kΩの定電流が入力トランジスタQ1を通じて他方の出力トランジスタQ3のベースに流れ込んで順トランジスタQ3が導通状態となり、一方の出力トランジスタQ2がしむ指状状態となる。従って、MOS3型電界効果トランジスタのゲート入力容量の充放電が他方の出力トランジスタQ3を通じて瞬時に放電され、MOS3型電界効果トランジスタQ2がしむ断状態となる。同、同図中のR1はトランジスタQ3にベース電流を流すための抵抗である。

### ＜孔明が解決しようとする課題＞

ところで、前記駆動回路では、MOS型電界効果トランジスタのゲート入力容量の電荷の充電および放電を瞬時に行うために、充・放電の各電流値を大きく設定する必要がある。即ち、出力トランジスタQ2、Q3の各々の導通を完全なショート状態とする必要がある。そのため、各出力トランジスタQ2、Q3にベース電流を供給する定電流回路1の定電流値を大きく設定しなければ

ならない。図1は、ゲート入出力容量の充・放電電流を300mA、各出力ドラッグシグナルQ2、Q3の $t_{rgh}$ を0.5とそれぞれ定めて、定電圧回路 $\bar{V}_{DD}$ の定電流値を比較的大きな10mAに設定しなければならぬ。従って、MOSの定電流増強系トランジスタがもし、順次階段状に定電流値を選択する定常時における順次階梯状の電流値が大きいとなり、また、電圧電圧が高い場合には電力損失が大きくなるので、それに伴って放熱も大きくなり、素子のパッケージを小さくできない問題がある。

しかも、トーテムポール構成となった出力段のトランジスタQ2、Q3およびダイオードDとして、容量の大きなものを用いる必要があり、駆動回路をモノリシックICに構成できない欠点もある。

本発明は、このような従来の問題点に鑑みてなされたものであり、素子の過渡時に充放電を瞬時に行ない得る構造としながらも、素子の定常時の消費電流を大幅に低減して小型のパッケージに組み込むことができ、モノリシックIC化すること

らできる電圧駆動型素子の駆動回路を提供することとを技術的課題とするものである。

### ＜問題を解決するための手順＞

本発明は、上記した課題を達成するための技術的手段として、電圧駆動型素子の駆動回路を以下のように構成した。即ち、MOS 管及び抵抗トランジスタや MOS ゲートバイポーラトランジスタ等の電圧駆動型素子の駆動回路において、前記電圧駆動型素子のゲートの入力容量を充電する電流供給用スイッチング素子およびその充放電電流を放電させるための電流引き込み用スイッチング素子電源用回路を接続し、この両スイッチング素子に対し並列に電圧電源間に両端接続した 2 個の駆動用スイッチング素子の接続点を、前記電流供給用スイッチング素子および電流引き込み用スイッチング素子の冬の両端子間に、これらを用一的にオンさせるように接続し、この両駆動用スイッチング素子に対しこれらを用一的に電流を駆動的に供給する電流供給回路を備えたことを特徴として構成されている。

### < 作用 >

いま、充電電流供給用スイッチング素子をNP型トランジスタとし、放電電流引き込み用スイッチング素子をPNP型トランジスタとし、各駆動素子スイッチング素子を各NPN型トランジスタとし、且つ電圧駆動型素子をMOS型電界効果トランジスタとすると、電流供給回路からの電流供給により一方の駆動用トランジスタがオンされると、このオン状態の駆動用トランジスタを通じて電流増幅された電流が充電電流供給用トランジスタにベース電流として流れて射トランジスタが導通状態となり、電流が導通状態の電流供給用トランジスタを通じてMOS型電界効果トランジスタの人力電量が瞬時に充電される。

一方、電流供給回路からの電流供給により地方の駆動用トランジスタが導通状態になった場合、このトランジスタで電流供給回路からの電流が電流増幅されて電流引き込み用トランジスタのベース電流となり、このトランジスタが導通状態となる。従って、MOS電界効果素子トランジスタのゲ

## 特開平1-1608(3)

ート入力容量に蓄積されていた電荷が電流引き込み用トランジスタを通じて瞬時に放電され、MOS型電界効果トランジスタがシャ断状態となる。

この駆動回路では、電流供給回路からの電流をそれぞれオン状態の駆動用トランジスタで電流増幅した電流が、出力段の電流供給用トランジスタおよび電流引き込み用トランジスタの各々のベース電流となるので、電流供給回路からの電流値を小さくしても、MOS型電界効果トランジスタを瞬時に充・放電させることができる。

## ＜実施例＞

以下、本発明の好ましい一実施例について図面を参照しながら詳細に説明する。

本発明の一実施例を示した第1図において、第2図と同一若しくは実質的に同等のものには同一の符号を付してその説明を省略する。そして、ゲート入力容量の充電用としてのPNP型の電流供給用トランジスタQ4と、その蓄積電荷の放電用としてのPNP型の電流引き込み用トランジスタQ5を付加し、この間トランジスタQ4、Q5を、

R5、トランジスタQ4および保護用抵抗R3を通じてMOS型電界効果トランジスタFのゲート入力容量が瞬時に充電され、このゲートに所定値以上の正電圧が印加された時にMOS型電界効果トランジスタFが導通状態となる。

一方、入力トランジスタQ1が導通状態になった場合、定電流回路1の定電流が入力トランジスタQ1を通じてトランジスタQ3のベースに流れ込んで該トランジスタQ3が導通状態となり、且つトランジスタQ2がシャ断状態となり、定電流がトランジスタQ3で電流増幅された電流が電流引き込み用トランジスタQ5のベース電流となり、該トランジスタQ5が導通状態となる。従って、MOS型電界効果トランジスタFのゲート入力容量に蓄積されていた電荷が電流引き込み用トランジスタQ5を通じて接点端子CNDに瞬時に放電され、MOS型電界効果トランジスタFがシャ断状態となる。

この駆動回路では、定電流回路1の定電流をそれぞれオン状態のトランジスタQ2、Q3で電

流増幅した電流Vccと接点端子CNDとの間に抵抗R5を介して直列接続し、両トランジスタQ4、Q5の各ベースの共通接続点を、抵抗R2、トランジスタQ2、ダイオードDおよびトランジスタQ3からなる第2図と同様のローテムボール構成の出力端に接続し、両トランジスタQ4、Q5の各ベースの共通接続点とエミッタの共通接続点とを、抵抗R4を介して接続し、該エミッタの共通接続点を出力端子Voに導出した構成においてのみ第2図のものと相違する。

次に、図2の実施例の作用について説明する。制御端子Cの制御信号により入力トランジスタQ1がシャ断状態になった場合、定電流回路1の定電流がトランジスタQ2のベースに流れ込んで該トランジスタQ2が導通状態となり、他方の出力トランジスタQ3がシャ断状態となる。従って、直流電源Vccから電流制限用抵抗R2、トランジスタQ2およびダイオードDを通じて電流供給用トランジスタQ4にベース電流が流れて該トランジスタQ4がオンとなり、直流電源Vccから抵抗

流増幅した電流が、出力段の電流供給用トランジスタQ4および電流引き込み用トランジスタQ5の各々のベース電流となるので、例えば、ゲート入力容量の充・放電電流を前述と同様に500mAとし、各トランジスタQ2～Q5のhFEを50とそれぞれすると、定電流回路1の定電流値を0.2mA程度に設定してもMOS型電界効果トランジスタFの駆動時の充・放電を瞬時に行わずることができる。従って、定常時の回路の消費電流が第2図のものに比し大幅に低減する。

尚、本発明は前記説明並びに図面の内容にのみ限定されるものではなく、請求の範囲を逸脱しない限り種々の変形例をも包含し得る。例えば、抵抗R5を0Ωつまり除外してもよく、また、ダイオードDと抵抗R4とを共に除外しても機能上、問題がない。更に、前記実施例で出力段のトランジスタQ4、Q5としてPNP型とPNP型のものそれぞれ用いているのは、駆動許することなく統一的にオンさせる目的のためであり、他の回路構成を用いてもよい。

## 特開平4-4608 (4)

&lt;発明の効果&gt;

以上のように本発明の電圧駆動型素子の駆動回路によると、回路の定電時の消費電流を大幅に低減できるので、出力段の電力損失が少くなり、それに伴って発熱も少くなるので小型のパッケージに組み込むことができ、容量の小さなデバイスを用いられることによりモノリシックIC化することもできる。

 $V_{CC}$ …直流電源I<sub>B</sub>…定電流源(電流供給回路)

## 4. 図面の簡単な説明

第1図は本発明の一実施例の電気回路図、  
第2図は従来例の電気回路図である。

F…MOS型電界効果素子トランジスタ

(電圧駆動型素子)

Q2、Q3…駆動用トランジスタ

(駆動用スイッチング素子)

Q4…電流供給用トランジスタ

(電流供給用スイッチング素子)

Q5…電流引き込み用トランジスタ

(電流引き込み用スイッチング素子)

特許出願人

シャープ株式会社

代理人

弁理士 岡田 新

